

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

3/11



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11251472

(43)Date of publication of application: 17.09.1999

(51)Int.Cl.

H01L 23/12

(21)Application number: 10064368

(71)Applicant:

FUJI XEROX CO LTD

(22)Date of filing: 27.02.1998

(72)Inventor:

ABE KAZUHIKO

OKA KOICHI

KIMURA AKIFUMI

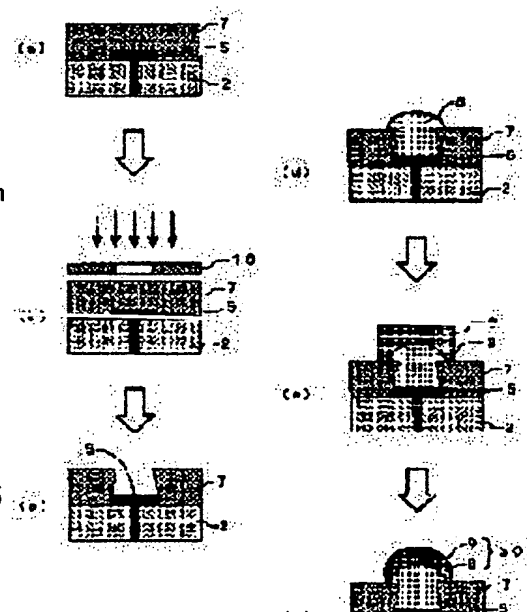
TEZUKA KATSUMI

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURE AND SEMICONDUCTOR MOUNTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the junction part of projecting electrodes, fatigue life close to it and junction strength in a semiconductor device where a semiconductor element is loaded on one main face of an interposer substrate and the projecting electrode is formed on the other main face, in the manufacture method, and in a semiconductor mounting device, where the semiconductor device is mounted on a circuit board via the projecting electrodes.

SOLUTION: A resist layer 7 is formed over the entire face of the interposer substrate 2, and unwanted resist 7 on a part corresponding to an electrode pad 5 is removed by an exposing/developing process using a photo mask 10. The opening form of the resist layer 7 is made into a reverse taper form, where the



THIS PAGE BLANK (USPTO)

surface side of the interposer substrate 2 becomes narrow. A first projecting electrode 8 is formed in the opening of the resist layer 7. Then, a second projecting electrode 9 is formed on the first projecting electrode part 8 in an almost spherical form.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)[NEXT](#)

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251472

(43)公開日 平成11年(1999) 9月17日

(51)Int.Cl.⁶

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 8 F D (全 7 頁)

(21)出願番号 特願平10-64368

(22)出願日 平成10年(1998) 2月27日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72)発明者 阿部 和彦

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社内

(72)発明者 岡 幸一

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社内

(72)発明者 木村 聡文

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社内

(74)代理人 弁理士 田中 香樹 (外1名)

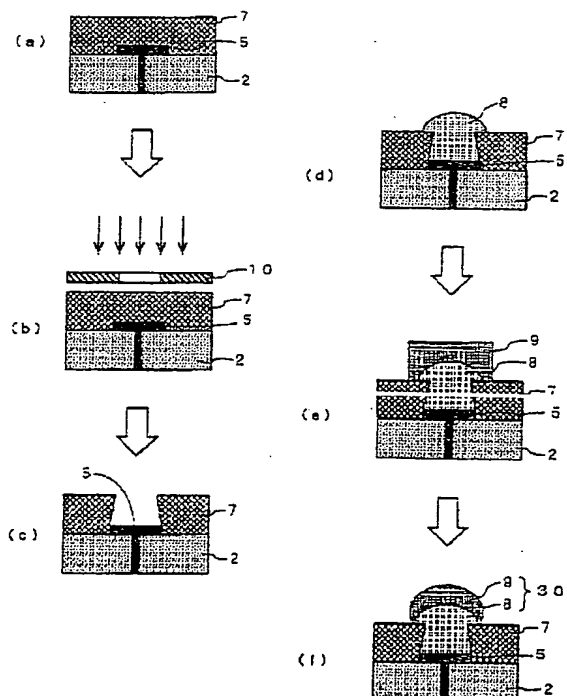
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法ならびに半導体実装装置

(5) 【要約】

【課題】 インターポーザ基板の一方の主面に半導体素子が搭載され、他方の主面に突起電極が形成された半導体装置およびその製造方法、ならびに回路基板上に前記半導体装置が突起電極を介して実装された半導体実装装置において、突起電極の接合部およびその近傍の疲労寿命や接合強度を向上させる。

【解決手段】 インターポーザ基板2の全面にレジスト7を形成し、フォトリソグラフィを用いた露光・現像工程により、電極パッド5に対応する部分の不要なレジスト7を除去する〔同図(b)〕。レジスト層7の開孔形状はインターポーザ基板2の表面側が狭くなるような逆テーパ状に形成する〔同図(c)〕。次いで、レジスト層7の開孔内に第1の突起電極部8を形成する〔同図(d)〕。次いで、第1の突起電極部8上に第2の突起電極部9を略球状に形成する〔同図(f)〕。



【特許請求の範囲】

【請求項 1】 絶縁性基板の一方の主面に搭載された半導体素子と他方の主面に形成された電極パッドとが電気的に接続され、前記電極パッド上に突起電極が形成された半導体装置において、

前記突起電極は、前記電極パッド上に形成された第 1 の突起電極部と、前記第 1 の突起電極部の先端に、これよりも低融点の金属材料で形成された第 2 の突起電極部とによって構成され、その先端と前記電極パッド側の端部との間にくびれ部を有する略鼓状であり、

前記絶縁性基板の他方の主面には、前記第 1 の突起電極部の少なくとも一部が覆われるように絶縁膜が形成されたことを特徴とする半導体装置。

【請求項 2】 前記第 1 の突起電極部は、前記電極パッドから鉛直方向に離れるにしたがって細くなる略円錐形状および略角錐形状のいずれかであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の突起電極部は略球状体であり、前記突起電極は、第 1 および第 2 の突起電極部の接合部近傍がくびれた略鼓状であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 絶縁性基板の一方の主面に搭載された半導体素子と他方の主面に形成された電極パッドとが電気的に接続され、前記電極パッド上に突起電極が形成された半導体装置の製造方法において、絶縁性基板の他方の主面に絶縁膜を形成する工程と、前記電極パッドが露出するように、前記絶縁膜の表面側が狭まった逆テーパ孔を開口する工程と、前記逆テーパ孔に金属材料を充填して第 1 の突起電極部を形成する工程と、前記第 1 の突起電極部上に、これよりも低融点の金属材料で第 2 の突起電極部を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項 5】 前記絶縁膜はボジ形のリソグラフィで形成され、前記逆テーパ孔は、前記リソグラフィ上にリソグラフィを形成する工程と、前記リソグラフィの前記電極パッドと対向する位置に開口を形成する工程と、前記リソグラフィの開口部から前記リソグラフィを合焦点位置よりも後で露光する工程とからなることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記逆テーパ孔は、相対的に径の小さい開口を有する絶縁膜の上に径の大きい開口を有する絶縁膜を、各開口の中心が略一致するように積層して形成されることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】 絶縁性基板の一方の主面に半導体素子が搭載され、他方の主面の第 1 の電極パッド上に突起電極が形成された半導体装置を、表面に第 2 の電極パッドが形成された回路基板上に、前記突起電極と第 2 の電極パ

ッドとが接合されるように実装してなる半導体実装装置において、

前記突起電極は、前記第 1 の電極パッド上に形成された第 1 の突起電極部と、前記第 1 の突起電極部の先端に、これよりも低融点の金属材料で形成された第 2 の突起電極部とによって構成され、その先端と前記第 1 の電極パッド側の端部との間にくびれ部を有する略鼓状であり、前記絶縁性基板の他方の主面には、前記第 1 の突起電極部の少なくとも一部が覆われるように絶縁膜が形成されたことを特徴とする半導体装置。

【請求項 8】 前記第 2 の電極パッドは、前記突起電極のくびれ部の断面積よりも小さくないことを特徴とする請求項 7 に記載の半導体実装装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法ならびに半導体実装装置に係り、特に、インターポーザ基板の一方の主面に半導体素子が搭載され、他方の主面に突起電極が形成された半導体装置およびその製造方法ならびに回路基板上に前記半導体装置が突起電極を介して実装された半導体実装装置に関する。

【0002】

【従来の技術】電子機器の高集積化に伴って様々な半導体装置が提案されているが、その中でも、BGA（ボール・グリッド・アレイ）あるいはLGA（ランド・グリッド・アレイ）と称される半導体装置が注目されている。

【0003】これらの半導体装置では、インターポーザ（あるいはチップ・キャリア）基板の表面に半導体素子が搭載され、外部接続用電極パッドが裏面に形成されることから、従来の半導体装置であるQFP（クワッド・フラット・パッケージ）と比較した場合、そのサイズを大幅に縮小できるという利点がある。さらに、外部接続用電極パッドのピッチも、QFPの0.3～0.5mmに対して1.27～1.5mmと広くできるため、回路基板への実装が容易になるという利点もある。

【0004】図7は、従来の一般的なBGAの実装状態における構成を示した断面図であり、図8は、その一部分を拡大した断面図である。BGA10は、インターポーザ基板2の表面に半導体素子1を搭載して構成され、BGA10が実装される回路基板3と前記インターポーザ基板2とは、インターポーザ基板2の裏面に予め形成された突起電極4を介して、電気的および機械的に接続される。インターポーザ基板2と突起電極4とは、インターポーザ基板2の裏面に形成された電極パッド5を介して接続され、回路基板3と突起電極4とは、回路基板3の表面に形成された電極パッド6を介して接続される。

【0005】BGA10に関しては、その使用目的や要

求性能によって多くのパッケージ構造が提案されている。その中でも、高発熱半導体素子に対応しなければならないBGAや、インターポーザ基板2に高密度・高精細配線が要求されるBGAでは、インターポーザ基板2としてアルミナセラミックス等のセラミックス基板を用いることが提案されている。しかしながら、アルミナセラミックス等からなるインターポーザ基板2では、その熱膨張係数が6~7ppm/℃程度であるのに対して、BGA10が実装される回路基板3は一般的にガラスエポキシから構成され、その熱膨張係数は15~20ppm/℃程度である。

【0006】このように両者の熱膨張係数が大きく異なると、BGA10を回路基板3に搭載した半導体実装装置では、半導体素子1の動作時に発生する熱により両者の熱膨張係数の差に起因した大きな熱応力が発生する。この熱応力は、BGA10と回路基板3との間の突起電極4に集中し、最悪の場合は突起電極4の接合部およびその近傍に疲労破壊が生じる。

【0007】一般的に、熱膨張係数の差に起因する応力は、BGA10および回路基板3と突起電極4との接合界面付近の外周部分に集中するため、疲労破壊もこの部分から生じることが多い。

【0008】このような問題点を解決するためには、例えば特開平8-316628号公報では、突起電極4を鼓状に形成して変形し易くすることで接合界面付近の応力を緩和する方法が提案されている。また、Sn5-Pb95やSn1-Pb97、5-Ag1、5のような高融点のはんだ（融点300℃以上）が耐熱疲労性に優れることに着目すれば、突起電極4を高融点のはんだ金属で形成することも考えられる。

【0009】

【発明が解決しようとする課題】上記したように、突起電極4を鼓状に形成すること、突起電極4を高融点のはんだ金属で形成すること、が疲労破壊を防止する上で効果的であることから、鼓状の突起電極4を高融点のはんだ金属で形成すれば、疲労破壊に対する耐力が飛躍的に向上するものと期待できる。しかしながら、突起電極4はBGAを回路基板3へはんだ付けする際に熔融する必要があるために、突起電極4には、熱疲労特性に優れる高融点のはんだを使用することができないという問題があった。

【0010】なお、特開平8-222573号公報では、高融点のはんだと低融点のはんだとを組み合わせた突起電極について開示しているが、加熱後は突起電極形状が球形となるために応力を十分に緩和することができない。また、特開平9-205096号公報では、高融点のはんだで形成した円柱状突起電極の特定部分に低融点のはんだの突起電極を形成する方法が示されているが、はんだ付け品質を良くするためにフラックスを使用して低融点のはんだの突起電極を熔融すると、突起電極の側面に

で低融点のはんだが流れてしまい、突起電極が球形状となってしまうという問題があった。

【0011】本発明の目的は、上記した従来技術の問題点を解決し、突起電極の接合部およびその近傍の疲労寿命や接合強度が大幅に向上した半導体装置およびその製造方法ならびに半導体実装装置を提供することにある。

【0012】

【課題を解決するための手段】上記した目的を達成するために、本発明では以下のような手段を講じた。

10 【0013】(1) 絶縁性基板の一方の主面に搭載された半導体素子と他方の主面に形成された電極パッドとが電気的に接続され、前記電極パッド上に突起電極が形成された半導体装置において、前記突起電極を、前記電極パッド上に形成された第1の突起電極部と、前記第1の突起電極部の先端に、これよりも低融点の金属材料で形成された第2の突起電極部とによって構成し、その先端と前記電極パッド側の端部との間にくびれ部を有する略鼓状とし、記絶縁性基板の他方の主面には、前記第1の突起電極部の少なくとも一部が覆われるように絶縁膜を形成した。

20 【0014】(2) 絶縁性基板の一方の主面に搭載された半導体素子と他方の主面に形成された電極パッドとが電気的に接続され、前記電極パッド上に突起電極が形成された半導体装置の製造方法において、絶縁性基板の他方の主面に絶縁膜を形成する工程と、前記電極パッドが露出するように、前記絶縁膜の表面側が狭まった逆テーパ孔を開口する工程と、前記逆テーパ孔に金属材料を充填して第1の突起電極部を形成する工程と、前記第1の突起電極部上に、これよりも低融点の金属材料で第2の突起電極部を形成する工程とを設けた。

30 【0015】(3) 絶縁性基板の一方の主面に半導体素子が搭載され、他方の主面の第1の電極パッド上に突起電極が形成された半導体装置を、表面に第2の電極パッドが形成された回路基板上に、前記突起電極と第2の電極パッドとが接合されるように実装してなる半導体実装装置において、前記突起電極を、前記第1の電極パッド上に形成された第1の突起電極部と、前記第1の突起電極部の先端に、これよりも低融点の金属材料で形成された第2の突起電極部とによって構成し、その先端と前記第1の電極パッド側の端部との間にくびれ部を有する略鼓状とし、前記絶縁性基板の他方の主面には、前記第1の突起電極部の少なくとも一部が覆われるように絶縁膜を形成した。

40 【0016】上記した構成(1)によれば、突起電極は、その先端のみが低融点金属で形成され、当該先端と電極パッド側との間には、耐熱疲労性に優れた高融点金属によるくびれ部が形成された鼓形状となる。

50 【0017】上記した構成(2)によれば、先端のみが低融点金属で形成され、当該先端と電極パッド側との間に、耐熱疲労性に優れた高融点金属によるくびれ部を有

する略鼓状の突起電極が形成される。

【0018】上記した構成(3)によれば、一方の主面に半導体素子が搭載された半導体装置が突起電極を介して回路基板上に実装された半導体実装装置において、その突起電極を、その先端のみが低融点金属で形成され、耐熱疲労性に優れた高融点金属によるくびれ部を当該先端と電極パッド側との間に有する鼓形状にすることができ

る。

【0019】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。図1は、本発明の第1実施形態である半導体装置(BGA)およびその突起電極の形成方法を示した断面図であり、前記と同一の符号は同一または同等部分を表している。

【0020】本実施形態では、インターポーザ基板2としてアルミナセラミック製の基板を利用し、はじめに、タングステン、モリブデン等の高融点金属によって電極パッド5が形成された主面に感光性のレジスト層7を形成する[同図(a)]。前記レジスト層7は、その後の接合工程における熱に耐え得る十分な耐熱性を有している。なお、電極パッド5の表面には、はんだ付け性を向上させる目的でNi、Au等のバリアメタル層(図示せず)を形成しても良い。

【0021】次いで、フォトリソを用いた周知の露光・現像工程により、電極パッド5上の不要なレジスト7を除去する[同図(b)]。この時、露光工程において意図的にフォーカスをずらし(具体的には、合焦点位置をレジスト7の表面よりも光源側にずらす)、露光光の回折散乱を発生させることにより、レジスト層7の断面形状を、その表面側が狭くなるような逆テーパ状にする[同図(c)]。

【0022】次いで、耐熱疲労特性に優れた高融点はんだSn5-Pb95(融点約310℃)による第1の突起電極部8を、例えば電解めっきにより電極パッド5上に形成する[同図(d)]。前記レジスト層7内での第1の突起電極部8は、当該電極パッド5から鉛直方向へ離れるにしたがって細くなる円錐形状もしくは角錐形状となる。

【0023】次いで、前記第1の突起電極部8上に、クリーム状またはブリフォーム状の低融点はんだSn63-Pb37(融点183℃)を、例えばスクリーン印刷またはデイスペンサにより所定量だけ供給[同図(e)]した後、全体を前記第1の突起電極部8の融点を超えない温度で加熱することにより、第2の突起電極部9を略球状に形成する[同図(f)]。この結果、インターポーザ基板2の一方の主面には、回路基板上に接合される側の先端のみが低融点金属で形成され、当該先端と電極パッド5側との間に、高融点金属によるくびれ部を有する略鼓状の突起電極30が形成される。

【0024】また、本実施形態によれば、第1の突起電

極部8の側面の一部あるいは全体が、第2の突起電極部9を形成する際に与えられる温度領域において耐熱性を有する絶縁膜7で被覆されているので、第2の突起電極部9を形成する低融点はんだが第1の突起電極部8側へ流れて球形状となることが防止される。

【0025】図2は、本発明の第2実施形態である半導体装置(BGA)およびその突起電極の形成方法を示した断面図であり、前記と同一の符号は同一または同等部分を表している。

【0026】本実施形態では、はじめに電極パッド5が形成されたインターポーザ基板2の主面に感光性のレジスト層7aを薄く形成する[同図(a)]。次いで、フォトリソを用いた周知の露光・現像工程により、電極パッド5上の不要なレジストを除去する[同図(b),(c)]。次いで、再び全面にレジスト層7bを形成した後、前記フォトリソ10aに設けた開口よりも小さい開口を有するフォトリソ10bを用いて前記と同様に、電極パッド5上の不要なレジストを除去する[同図(d),(e)]。

【0027】さらに、再び全面にレジスト層7cを形成した後、前記フォトリソ10bに設けた開口よりも小さい開口を有するフォトリソ10cを用いて前記と同様に電極パッド5上の不要なレジストを除去する[同図(d),(e)]。以下同様に、所望の厚さのレジスト7が形成されるまで上記した処理を繰り返して逆テーパ状の孔を開設する。その後は、前記第1実施形態と同様にして第1および第2の電極部8、9を形成して鼓状の突起電極30を完成する。

【0028】図3は、本発明の第3実施形態である半導体装置(BGA)およびその突起電極の形成方法を示した断面図であり、前記と同一の符号は同一または同等部分を表している。

【0029】本実施形態では、はじめに、電極パッド5が形成されたインターポーザ基板2の主面に感光性のレジスト層7を形成する[同図(a)]。次いで、フォトリソを用いた周知の露光・現像工程により、電極パッド5上の不要なレジスト7を除去する[同図(b)]。この時、露光工程において意図的にフォーカスをずらして光の回折散乱を発生させることにより、レジスト層7の断面形状を、その表面側が狭くなるような逆テーパ状にする[同図(c)]。

【0030】次いで、電極パッド5上に高融点はんだSn5-Pb95による第1の突起電極部8aを、例えば電解めっきにより形成する[同図(d)]。このとき、上記した第1および第2実施形態では、高融点はんだがレジスト層7の開口部から盛り上がるように形成したが、本実施形態では、高融点はんだがレジスト層7の開口部外へ露出しないように、前記めっき時間を短くする。

【0031】次いで、前記第1の突起電極部8a上に、クリーム状またはブリフォーム状の低融点はんだSn6

3-Pb37を、例えばスクリーン印刷またはディスプレイにより所定量だけ供給【同図(e)】した後、全体を前記第1の突起電極部8aの融点を越えない温度で加熱することにより、第2の突起電極部9aを略球状に形成する【同図(f)】。この結果、インターポーザ基板2の一方の主面には、回路基板3に接合される側の先端が低融点半田で形成され、当該先端と電極パッド5側との間にくびれ部を有する略鼓状の突起電極30が形成される。

【0032】前記第1および第2実施形態のように、第1の突起電極部8をレジスト層7よりも厚く形成すると、レジスト層7からはみ出した部分がマッシュルーム状となり、その形状がめっき条件の変動によって大きく変化してしまう。これに対して、本実施形態のように、第1の突起電極部8aをレジスト層7よりも薄く形成すれば、その形状を比較的容易にコントロールすることができる。

【0033】なお、上記した各実施形態では、第1の突起電極部8、8aの側面を覆うように、レジスト層7をインターポーザ基板2の全面に被着するものとして説明したが、図6に示したように、各第1の突起電極部8、8aの周囲のみが覆われるように、機械的研磨やレーザー照射などの物理的方法あるいはエッチングなどの化学的方法によって不要部分を除去することで島状に形成しても良い。

【0034】このような構造とすることにより、熱膨張係数差による応力が加わった時に、レジスト層7が第1の突起電極部8、8aを水平方向に固定する力が弱まって突起電極30の柔軟性が向上するので、応力緩和効果がさらに向上する。また、上記した構成によれば、比較的柔軟性に劣る絶縁材料をレジスト7として使用することが可能になる。

【0035】図4は、上記した各半導体装置(BGA)が突起電極30を介して実装された半導体実装装置の拡大断面図であり、前記と同一の符号は同一または同等部分を表している。ここでは、前記図3に関して説明した第3実施形態のBGAが搭載された半導体実装装置を例して説明する。

【0036】本実施形態では、回路基板3側の電極パッド6上に、前記突起電極30の第2の突起電極部9aが接合されている。前記電極パッド6の面積は、少なくとも前記突起電極30のくびれ部での断面積よりも小さくなくようにすることが望ましい。このような構成によれば、電極パッド6と第2の突起電極部9aとの角度 θ が、少なくとも極端な鋭角とならないので、疲労寿命や接合強度が大幅に向上する。

【0037】これに対して、図5に示したように、電極パッド6の面積を小さくすると、前記角度 θ が極端な鋭角を示すので、電極パッド6と突起電極30との接合部

における疲労寿命や強度を向上させることが難しくなる。

【0038】なお、上記した各実施形態では、セラミックス基板で構成されるBGAを用いて説明したが、本発明はこれのみに限定されるものではなく、突起電極を利用して回路基板に実装される。例えばフリップチップ構造の半導体装置にも同様に適用することができる。

【0039】さらに、上記した各実施形態では第1の突起電極の電極材としてSn5-Pb95はんだを採用し、第2の突起電極の電極材としてSn63-Pb37はんだを採用したが、第1の突起電極としては、Au、Cu、Ni等の融点が300℃以上ではんだ付けが可能な金属単体あるいは合金を採用することができる。同様に、第2の突起電極としては、SnおよびPb以外にIn、Bi等を添加した金属材料を用いても良い。

【0040】

【発明の効果】本発明によれば、以下のような効果が達成される。

(1) 突起電極を、その主要部が疲労破壊に対する耐力に優れた高融点材料で形成された鼓状にすることができる

ので、突起電極の疲労寿命や接合強度が大幅に向上する。

(2) 突起電極の側面を柔軟性を有する樹脂材料で覆うようにしたので、突起電極の水平方向に関する柔軟性が向上する。

(3) 突起電極が接合される回路基板側の電極パッドの面積を、少なくとも鼓状突起電極のくびれ部での断面積よりも大きくし、接合面の角度が極端な鋭角とならないようにしたので、突起電極と回路基板との接合面における疲労寿命や接合強度が大幅に向上する。

【図面の簡単な説明】

【図1】本発明の第1実施形態である半導体装置およびその突起電極の形成方法を示した断面図である。

【図2】本発明の第2実施形態である半導体装置およびその突起電極の形成方法を示した断面図である。

【図3】本発明の第3実施形態である半導体装置およびその突起電極の形成方法を示した断面図である。

【図4】本発明の第4実施形態である半導体実装装置の主要部の断面図である。

【図5】本発明の第4実施形態である半導体実装装置の主要部の断面図である。

【図6】本発明の変形例の断面図である。

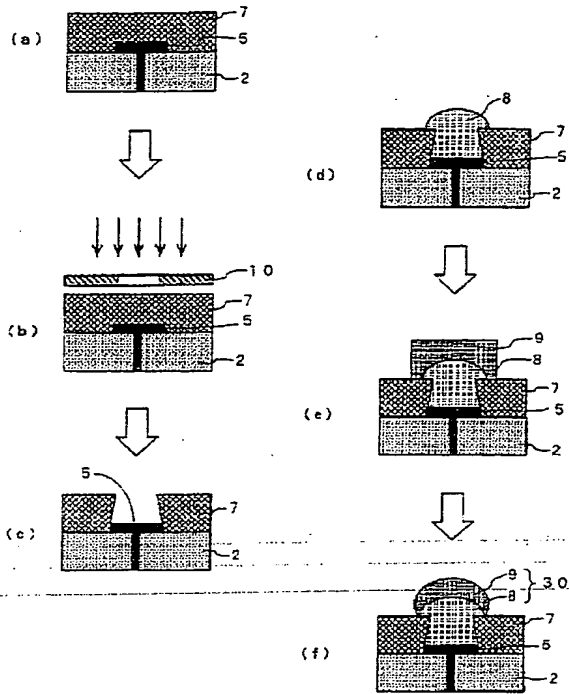
【図7】従来の半導体実装装置の断面図である。

【図8】従来の半導体実装装置の主要部の拡大断面図である。

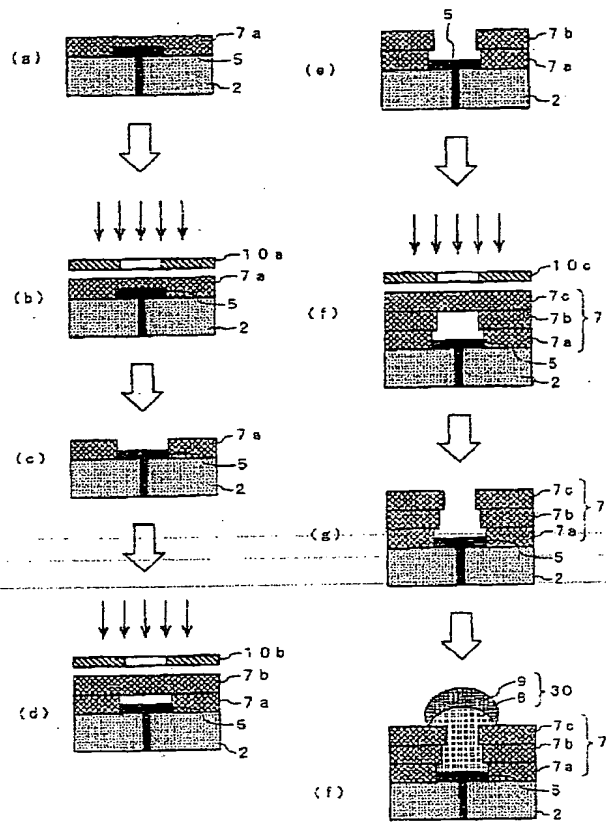
【符号の説明】

2…インターポーザ基板、5、6…電極パッド、7…レジスト層、10…フォトマスク、8…第1の突起電極、9…第2の突起電極

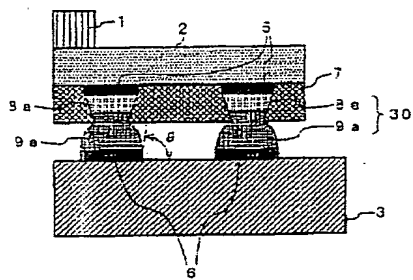
【図1】



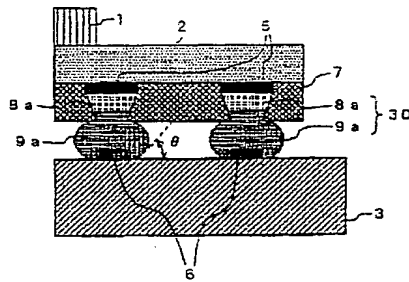
【図2】



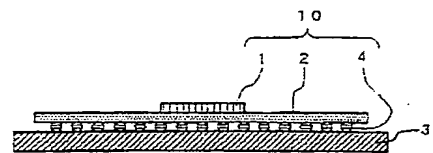
【図4】



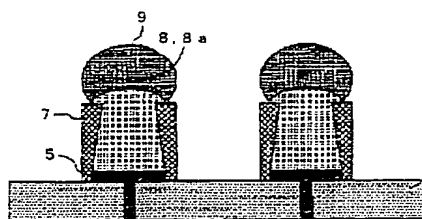
【図5】



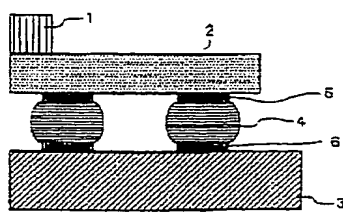
【図7】



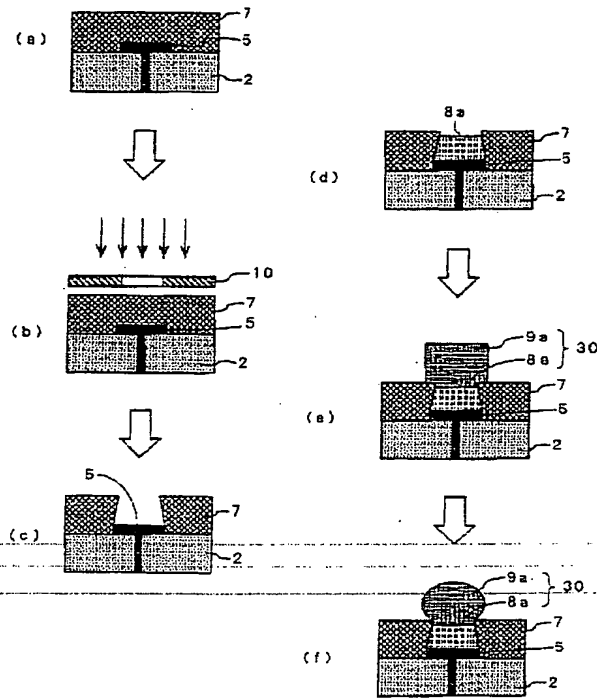
【図6】



【図8】



【図3】



フロントページの続き

(7) 発明者 手塚 克己

埼玉県岩槻市府内3丁目7番1号 富士ゼ
ロックス株式会社内

THIS PAGE BLANK (USPTO)